



Plan d'expériences et essais accélérés pour la qualification de la fiabilité des résistances CMS pour les dispositifs médicaux

Design of experiments and accelerated tests for the qualification of the reliability of SMD resistors for medical devices

INDMESKINE Fatima-Ezahra
Univ Angers, LARIS, SFR MATHSTIC
F-49000 Angers
fatima-ezahra.indmeskine@etud.univ-angers.fr

SAINTIS Laurent
Univ Angers, LARIS, SFR MATHSTIC
F-49000 Angers
laurent.saintis@univ-angers.fr

KOBI Abdessamad
Univ Angers, LARIS, SFR MATHSTIC
F-49000 Angers
abdessamad.kobi@univ-angers.fr

MARCEAU Hélène
TRONICO (TAME-COMPONENT)
F-85660 Saint-Philbert-de-Bouaine
hmarceau@tronico-alcen.com

Résumé — Le marché des dispositifs médicaux implantables actifs (DMIA) devrait connaître une croissance importante, mais il n'existe actuellement aucun consensus sur une norme de qualité médicale pour la qualification des composants électroniques qu'ils contiennent. Cet article propose une méthodologie de qualification des composants électroniques pour les DMIA, basée sur le profil de mission des DMIA et la physique de la défaillance des composants électroniques. Des méthodes conventionnelles telles que les essais accélérés de durée de vie et les plans d'expérience sont utilisées. L'originalité ou l'intérêt de l'étude réside dans la combinaison des essais de durée de vie accélérés et des plans d'expérience de type plan produit de Taguchi. Les protocoles de tests de durée de vie accélérée ont été définis pour détecter les défauts plutôt que le vieillissement dans les chips résistifs hautement fiables. L'analyse statistique des résultats démontrent que les tests de surcharge électrique (Electrical Overload) sont une méthode efficace pour détecter des défaillances et que le processus de fabrication peut influencer la robustesse des chips résistifs miniatures face aux facteurs environnementaux.

Mots-clefs — *Tests de durée de vie accélérée, plans d'expériences, chips résistifs, dispositifs médicaux implantables actifs*

Abstract — The market for active implantable medical devices (AIMD) is expected to grow significantly, but there is currently no consensus on a medical grade to qualify the electronic components they contain. This article proposes a methodology for qualifying electronic components for AIMDs based on the mission profile of AIMDs and the physics of failure of electronic components. Classical methods such as accelerated life testing and design of experiments are used. The highlight of the study is the combination accelerated life testing and design of experiments using Taguchi's crossed array design. The protocols for accelerated life tests were defined to detect defects rather than ageing in highly reliable chip resistors. The statistical results demonstrate that Electrical Overload testing is an effective method for detecting failure, and that the manufacturing process can influence the robustness of miniature resistive chips to environmental factors.

Keywords — *Accelerated Life Testing, Design of Experiments, chip resistors, Active Implantable Medical Devices*

I. INTRODUCTION

Les dispositifs médicaux implantables actifs (DMIA), notamment les stimulateurs cardiaques et les implants cochléaires (permet de réhabiliter les surdités sévères et profondes), sont devenus un élément essentiel de la vie de nombreux patients. L'intégration de l'électronique dans ces dispositifs permet une meilleure surveillance et une intégration transparente. Cependant, il n'y a pas de normes de qualification de la fiabilité des composants qui suivent cette avancée technologique. En général, les DMIA sont qualifiés sur la base de l'expérience acquise dans d'autres secteurs, tels que l'aviation et l'armée (Renard, 2018). L'absence d'un "medical grade" spécifique aux composants électroniques pour les DMIA nécessite de maîtriser la fiabilité de ces composants par rapport au profil de mission des DMIA [2], en particulier les composants couramment utilisés tels que les

27 résistances. D'où l'objectif de cet article qui propose une méthodologie permettant de définir les tests de qualification les plus
28 adaptés pour les composants électroniques dans le cadre d'une application médicale.

29 Ce travail est réalisé dans le cadre du projet RECOME (Reliability of Electronic Components for MEDical applications) qui
30 vise à fournir un guide pour la qualification de la fiabilité des composants électroniques utilisés dans les DMIA, avec une
31 attention particulière pour les composants miniatures (0201 et 01005 en code métrique). En particulier, cette étude propose une
32 méthodologie pour définir les tests de qualification des chips résistifs ou résistances CMS (composant monté en surface) sur la
33 base des méthodes des plans d'expérience (Design of Experiments, DoE). Une approche similaire a été réalisée sur les
34 condensateurs céramiques [3].

35 L'article sera organisé comme suit : la section II fournit un aperçu de la méthodologie proposée pour qualifier les composants
36 électroniques à travers des profils de mission, la physique des défaillances, les tests de durée de vie accélérés et le plan
37 d'expériences. La section III donne un exemple d'application de cette méthodologie sur les chips résistifs pour les DMIA en
38 définissant des tests de durée de vie accélérés et en analysant leurs résultats.

39 II. METHODOLOGIE

40 La méthodologie de qualification proposée définit des essais adaptés au profil de mission des DMIA et à la physique des
41 défaillances qui en découle. Les essais sont obtenus par un plan d'expérience produit combinant les facteurs de conception et les
42 facteurs de stress associés aux essais de durée de vie accélérés. La présente section donne un bref aperçu théorique de chaque
43 aspect.

44 A. Profil de mission

45 Avant de qualifier un composant électronique, il est évidemment important de bien comprendre l'environnement dans lequel
46 il sera utilisé. En effet, en connaissant l'environnement prévu, le planificateur des essais de fiabilité saura quels facteurs de stress
47 environnementaux utiliser pendant les essais de fiabilité de manière à représenter de façon plus réaliste la fiabilité suivant son
48 profil de mission.

49 Le profil de mission est une représentation de toutes les conditions pertinentes auxquelles le composant électronique sera
50 exposé dans son application cible, tout au long de son cycle de vie [4]. Pour générer un profil de mission, il est nécessaire de
51 prendre en compte les contraintes environnementales, y compris les facteurs thermiques, mécaniques, de rayonnement, de
52 poussière, d'humidité, chimiques et électromagnétiques. En outre, il est important de prendre en compte les différentes phases du
53 cycle de vie du composant, telles que la stérilisation, le revêtement, le stockage et le transport, comme c'est le cas pour les
54 DMIA. Un aperçu des différentes contraintes environnementales rencontrées par les DMIA au cours de leur cycle de vie a été
55 détaillé dans un article précédent [2].

56 B. Physique de la défaillance

57 Une fois que le profil de mission du composant a été défini, il est important de comprendre comment le composant y réagira
58 physiquement. Les principes de la physique de la défaillance (Physics of failure, PoF) peuvent aider à analyser comment la
59 défaillance peut se produire dans différentes conditions environnementales.

60 Le stress est l'impact des charges environnementales sur un composant. Toute charge exercée sur le composant entraîne une
61 répartition des contraintes au sein de la structure et du matériau du composant. "Le processus" de la contrainte dépend de facteurs
62 technologiques tels que la taille et les propriétés des matériaux.

63 L'étude de la physique de la défaillance est particulièrement utile pour définir les plans d'expérience sur les facteurs de
64 conception et les essais de durée de vie accélérée. Cela peut se faire de deux manières :

- 65 1. Essais accélérés : les modèles mathématiques physique de la défaillance décrivent la relation entre les facteurs
66 environnementaux, tels que la température, l'humidité relative et les contraintes mécaniques, et la défaillance. Ces
67 modèles décrivent les processus physiques qui se produisent lors d'une défaillance et/ou ceux qui la provoquent. La
68 projection de ces informations sur le profil de la mission par une analyse des mécanismes, des modes de défaillance et
69 de leurs effets (Failure Modes and Mechanisms & Effects Analysis, FMMEA) permet d'identifier les facteurs pertinents
70 sur lesquels on doit se concentrer pour étudier la fiabilité du composant, ainsi que les types des essais de durée de vie
71 accélérés à mettre en œuvre pour observer les défaillances pertinentes.
- 72 2. Conception du composant : la compréhension de la physique de la défaillance permet d'identifier et d'étudier les facteurs
73 propres au composant qui contribuent à la défaillance, tels que le matériau, la taille ou la technologie du composant.
74 Ces informations peuvent être utilisées pour établir un plan d'expériences qui permet de mieux comprendre leurs effets
75 sur la fiabilité du composant.

76 C. Essais de durée de vie accélérée

77 L'objectif de l'essai de durée de vie accélérée (Accelerated Life Test, ALT) est d'observer les défaillances correspondant au
78 profil de mission du composant dans pendant durées plus courtes. Par conséquent, les facteurs environnementaux identifiés
79 servent comme point de départ pour définir le profil de l'essai accéléré. Ces facteurs, ainsi que les processus physiques impliqués
80 dans la défaillance, indiquent les stress ou les combinaisons de stress à appliquer au composant pendant l'essai pour déclencher
81 les défaillances. La FMMEA peut permettre de déterminer si un composant est plus susceptible de tomber en panne en raison de
82 défauts qualité ou d'une dégradation tout le long de son profil de mission. Ces informations peuvent être utilisées pour définir les

83 procédures d'essai appropriées, dépendamment de l'objectif. *Cet article se concentre sur les composants à haute fiabilité donc il*
84 *omet la période de vie utile des composants.*

85 1) *Typologie d'ALT : orienté défauts qualité*

86 Les défauts qualité se produisent normalement au début de la vie utile d'un composant électronique et se caractérisent par
87 un taux de défaillance décroissant. Les défauts sont classés en deux catégories : a) les défauts de qualité qui peuvent être détectés
88 par une inspection classique de contrôle de qualité (défauts de jeunesse), b) les défauts latents qui ne sont pas facilement
89 perceptibles et qui nécessitent de soumettre le composant à des contraintes [5]. La méthodologie présentée dans cet article se
90 concentre sur cette dernière catégorie de défauts.

91 En définissant un essai accéléré qui cible spécifiquement la détection des défauts, les durées d'essai peuvent être plus
92 courtes, les contraintes peuvent être plus élevées et les mesures des paramètres d'intérêt (qui quantifie la réponse du composant)
93 ne sont pas forcément aussi fréquentes.

94 2) *Typologie d'ALT : orienté dégradation ou vieillissement*

95 Les défaillances dues au vieillissement se produisent généralement vers la fin de la durée de vie d'un composant électronique
96 et se caractérisent par un taux de défaillance croissant.

97 Les essais accélérés qui visent à induire une dégradation sont caractérisés par des contraintes relativement plus faibles, des
98 durées plus longues et des mesures plus fréquentes des paramètres électriques. Les pseudo-durées de vie sont extrapolées en
99 identifiant le temps où le paramètre de dégradation atteint un seuil de défaillance prédéfini. Ces essais accélérés fournissent des
100 données supplémentaires sur les défaillances grâce à l'extrapolation. Néanmoins, cet avantage n'est valide que lorsque l'on
101 dispose de modèles de dégradation appropriés pour les mécanismes de défaillance concernés [6].

102 D. *Plan d'expérience*

103 Un Plan d'expérience est une approche utile pour étudier la fiabilité des composants électroniques. Ses méthodes sont
104 couramment utilisées pour l'optimisation des procédés, l'amélioration de la qualité et l'étude de la robustesse des composants.
105 Par exemple, on peut vouloir étudier l'impact de la taille de la résistance sur sa durée de vie. On peut donc extrapoler la durée de
106 vie de chaque taille de résistance en concevant des expériences avec différentes tailles, en appliquant des contraintes
107 environnementales et en contrôlant d'autres facteurs tels que la valeur de la résistance et la technologie du film. Les plans
108 factoriels de Taguchi [7] peuvent être utilisés pour expérimenter différentes combinaisons de ces facteurs.

109 La conception des plans d'expériences peut avoir des objectifs multiples. Les types de conception en fonction de l'objectif
110 sont les suivants [8] :

- 111 1. Plans comparatifs - pour comparer les résultats.
- 112 2. Les plans de sélection - pour identifier les facteurs importants.
- 113 3. Surface de réponse - pour modéliser la relation entre les facteurs et la réponse.
- 114 4. Modélisation de la régression - pour estimer un modèle précis de la relation entre les facteurs et la réponse.

115 Cette étude se concentrera sur la méthodologie des surfaces de réponse et la modélisation de la régression.

116 E. *Plan produit*

117 Un plan produit est une autre approche des plans d'expériences introduite par Taguchi [7, pp. 119–156], généralement pour
118 les problèmes de conception de paramètres robustes (Robust Parameter Design, RPD), qui combine des plans de facteurs
119 contrôlables sous la forme d'un plan intérieur avec des facteurs de bruit sous la forme d'un plan extérieur. Une propriété
120 importante de ce plan est qu'il permet d'avoir des informations sur l'interaction entre les facteurs de contrôle et les facteurs de
121 bruit [9, pp. 556–557]. Ceci est important, par exemple, pour identifier les contraintes environnementales qui déclenchent la
122 défaillance des chips résistifs, quels que soient les facteurs technologiques.

123 III. DESCRIPTION DE LA DEMARCHE ET APPLICATION SUR LES CHIPS RESISTIFS

124 A. *Comme évoqué précédemment, les DMIA sont fabriqués à partir d'un certain nombre de composants plus au moins*
125 *critiques. Nous avons déjà réalisé une étude sur les condensateurs [3]. Dans cet article, nous appliquons la méthodologie*
126 *orientée défauts qualité décrite ci-dessus aux chips résistifs pour les DMIA. Profil de mission*

127 L'environnement d'utilisation des DMIA, à savoir le corps humain, n'est pas aussi hostile que le type d'environnement
128 rencontré dans les applications spatiales et automobiles par exemple, à l'exception de l'humidité élevée du corps humain, mais
129 les DMIA passent par des phases spécifiques au cours de leur processus de fabrication qui ajoutent des contraintes relativement
130 différentes de celles d'autres domaines, tels que la stérilisation et les processus de biocompatibilité. Ceci étant dit, cela signifie
131 que tout composant électronique sera plus ou moins soumis à ces contraintes environnementales, en particulier les chips résistifs
132 qui sont une partie omniprésente et importante de tout appareil électronique.

133 B. Des calculs basés sur ce profil de mission et les paramètres de modèles d'accélération de FIDES ont donné des résultats
 134 très fiables des chips résistifs. De plus, les normes de qualification déjà établies ont un objectif de fiabilité difficile à
 135 démontrer. Par exemple, la norme AEC-Q200 prend un objectif de fiabilité de 99% à un niveau de confiance de 90% sur
 136 un profil automobile. L'objectif ici est donc bien déceler les défauts qualité sur un profil des DMIA. FMMEA (Failure
 137 Modes and Mechanisms & Effects Analysis)

- 138 Les chips résistifs peuvent tomber en panne en raison de différents types de facteurs environnementaux telles que :
- 139 • Contrainte mécanique pouvant entraîner une séparation des électrodes conduisant à un mode de défaillance circuit
 140 ouvert [10].
 - 141 • Contrainte de surintensité/surtension qui peut induire des courants excessifs ou des rapports de tension élevés
 142 provoquant une augmentation de la chaleur dans des régions localisées [10]. Cela peut conduire à un mode de
 143 défaillance en circuit ouvert.
 - 144 • L'humidité qui augmente la résistance du composant en raison des réactions chimiques avec les matériaux
 145 conducteurs de la résistance [10].
 - 146 • Le cyclage de puissance qui provoque une surchauffe des défauts localisés entraînant une rupture de fatigue induite
 147 thermo-mécaniquement [11].

148 La TABLE I présente un récapitulatif de la FMMEA pour les chips résistifs ordonnée par facteurs d'accélération, basé
 149 sur l'analyse de l'état de l'art [10], [11], [12], [13], [14], [15], [16], [17], [18].

150 TABLE I. RECAPITULATIF DE LA FMMEA POUR LES CHIPS RESISTIFS.

Facteurs d'accélération	Mécanismes de défaillance	Mode de défaillance
Stress thermique	Fissure de la soudure	Dérive ; Circuit ouvert
	Séparation des électrodes	Dérive ; Circuit ouvert
Surcharge en puissance	ESD	Dérive ; Circuit ouvert
	Dommages à l'élément résistif	Dérive ; Circuit ouvert
	Détérioration de l'élément résistif	Dérive
Humidité + Courant	Corrosion	Dérive ; Circuit ouvert
	ECM	Dérive ; Court-circuit
Humidité + Courant + Sulfur	Sulfuration	Dérive ; Circuit ouvert
Stress mécanique	Séparation des électrodes	Dérive ; Circuit ouvert

152 C. Plan d'expérience

153 La FMMEA a permis d'identifier les facteurs technologiques les plus associés aux défaillances. Ces facteurs sont présentés
 154 dans la Table II.

155 Table II. FACTEURS TECHNOLOGIQUES ET MODALITÉS AYANT UN IMPACT SUR LA FIABILITÉ.

Technologie Utilisée	Modalités ou niveaux						
	A	Couche épaisse	Couche mince				
Taille	B	01005	0201	0402	0603	0805	1206
Valeur de la résistance	C	0,01 Ω	1 Ω	10kΩ	100kΩ		
Fabricant	D	Fabricant_1	Fabricant_2	Fabricant_3	Fabricant_4	Fabricant_5	Fabricant_6

157 Pour étudier la sensibilité de ces facteurs aux paramètres de stress environnementaux et leur impact sur la fiabilité des chips
 158 résistifs, un plan factoriel complet de type Taguchi est utilisé.

159 Comme indiqué précédemment, ce plan sera combiné à des essais de durée de vie accélérés sous forme de plan produit.
 160 C'est-à-dire que chaque combinaison de facteurs technologiques (facteurs contrôlables), tels que définis dans le plan
 161 d'expériences, sera testée sous chaque combinaison de facteurs environnementaux (facteurs de bruit) organisés sous la forme
 162 de profils d'essais de durée de vie accélérés, tels que décrits dans la section suivante. Un extrait du plan est présenté en table
 163 III. Notons que dans le plan final, il y a XX combinaisons et YY mesures (YY=XX*3)
 164
 165

166 *D. Protocoles d'essais accélérés*

167 À partir de la FMMEA, on peut également directement observer que différents types de tests de durée de vie accélérée sont
 168 nécessaires pour observer les défaillances communes des résistances CMD. Concrètement, trois types de tests sont choisis, tout
 169 en restant dans les limites technologiques des composants pour ne provoquer que les mécanismes de défaillance des condition
 170 nominales des DMIAs :

- 171 1. 16 cycles de cyclage thermique incluant l'humidité avec le profil décrit dans la Fig. 1. Le cyclage thermique peut
 172 être décrit par la loi d'accélération de Coffin–Manson.
- 173 2. Single Pulse Load (Surcharge de puissance en impulsions).
- 174 3. Electrical Overload (Surcharge électrique).

175 Pour les résistances des tailles 0402 à 1206, elles doivent être soumises à chacun de ces tests de durée de vie séparément,
 176 tandis que les résistances plus petites des tailles 01005 à 0201 doivent être soumises uniquement à une surcharge électrique et
 177 à deux profils de cyclage thermique avec différentes valeurs de températures et des niveaux d'humidité relative. Il s'agit d'avoir
 178 plus d'informations sur les défaillances liées à l'humidité, car il a été remarqué via la FMMEA que la corrosion est aggravée
 179 pour les composants électroniques miniatures [17].
 180



Fig. 1. Cyclage thermique pour les chips résistifs (un cycle).

181 *E. Résultats et discussion*

182 Les résultats des tests effectués sur les chips résistifs miniatures sont présentés dans Table III. Les défaillances sont
 183 enregistrées lorsque la différence de valeur de résistance entre avant et après le test dérive au-delà de la tolérance spécifiée dans
 184 les normes.

185 Comme indiqué précédemment, la méthode du plan produit de Taguchi permet une double analyse en examinant l'impact
 186 des facteurs technologiques (contrôlables) et des facteurs environnementaux (bruit) sur le nombre de défaillances. Plus
 187 précisément, on s'intéresse à deux questions : a) quels sont les facteurs technologiques les plus robustes, et b) quels sont les
 188 profils d'essai de durée de vie accélérée qui déclenchent le plus grand nombre de défaillances.

189 Table III. RESULTATS DES ESSAIS DE DUREE DE VIE ACCELERES POUR LES CHIPS RESISTIFS MINIATURES ALTs: TC – THERMAL
 190 CYCLING, EO - ELECTRICAL OVERLOAD).
 191

Combinaison DoE	A	B	C	D	Nombre de défaillances (sur 24 composants)		
					TC1	TC2	EO
Run N°33	Thick	0201	10Ω	1	0	0	0
Run N°34	Thick	0201	10KΩ	1	0	0	0
Run N°35	Thick	0201	100KΩ	1	0	0	5
Run N°36	Thick	0201	10Ω	2	0	0	0
Run N°37	Thick	0201	10KΩ	2	0	0	0
Run N°38	Thick	0201	100KΩ	2	0	0	0
Run N°39	Thick	0201	10Ω	3	0	0	0
Run N°40	Thick	0201	10KΩ	3	0	1	0
Run N°41	Thick	0201	100KΩ	3	0	0	0

Run N°48	Thick	01005	10Ω	1	3	0	0
Run N°49	Thick	01005	10KΩ	1	1	0	1
Run N°50	Thick	01005	100KΩ	1	0	0	4
Run N°51	Thick	01005	100Ω	2	0	0	0
Run N°52	Thick	01005	10KΩ	2	0	0	0
Run N°53	Thick	01005	100KΩ	2	0	0	0
Run N°54	Thick	01005	10Ω	3	0	0	0
Run N°55	Thick	01005	10KΩ	3	1	0	1
Run N°56	Thick	01005	100KΩ	3	0	0	0
N.B.: Le numéro de chaque essai est uniquement à titre de référence en ce qui concerne les combinaisons des plans d'expériences. Les expériences conçues elles-mêmes sont menées dans un ordre aléatoire, un aspect important des conceptions Taguchi.							

Pour éviter d'avoir des zéros dans le calcul de S/N (voir équation (2)) et parce que peu de défaillances sont observées, le nombre de défaillances peut être remplacé par la limite supérieure de confiance unilatérale de la proportion de défaillances au niveau de confiance de 95 %. « Par sécurité », on se concentre sur le scénario le plus défavorable en calculant la borne supérieure p_U en résolvant l'équation (1).

$$\sum_{k=0}^{N_d} \binom{n}{k} p_U^k (1 - p_U)^{n-k} = \alpha \quad (1)$$

Où :

- n : la taille de l'échantillon (= 24 dans le cas de cet article),
- N_d : le nombre des défaillances,
- α : le risque.

Table présente les résultats de ces calculs.

Les rapports signal/bruit (S/N) sont ensuite calculés à l'aide de formules qui varient selon que l'objectif est de maximiser ou de minimiser la réponse. Le résultat idéal est évidemment toujours un rapport signal/bruit maximisé, quel que soit l'objectif, [7]

Pour calculer la ligne de S/N, l'intérêt se focalise sur l'identification de du facteur ALT qui déclenche le plus de défaillances, c'est-à-dire que l'on cherche la proportion la plus élevée des défaillances, et dans ce cas le calcul de signal/bruit (S/N) est :

$$\frac{S}{N} = -10 \log \left[\frac{1}{nl} \sum_{i=1}^{i=nl} \frac{1}{Y_{ij}^2} \right] \quad (2)$$

Où :

- S/N : rapport Signal/Bruit pour la colonne j ,
- nl : nombre de lignes (combinaison DOE),
- Y_{ij} : réponse pour la ligne i et la colonne j .

Les résultats sont les plus élevés pour le facteur EO (correspondant à S/N le plus grand, surligné en vert dans Table IV suivant le ligne S/N), ce qui signifie qu'il s'agit de du facteur ALT le plus efficace à détecter les défaillances parmi les trois.

Pour le calcul de la colonne de S/N, l'intérêt est de trouver la combinaison la plus robuste de facteurs technologiques face aux facteurs environnementaux. Par conséquent, l'intérêt correspond à la plus faible proportion de défaillances, et dans ce cas le calcul de signal/bruit (S/N) est :

$$\frac{S}{N} = -10 \log \left[\frac{1}{nc} \sum_{j=1}^{j=nc} Y_{ij}^2 \right] \quad (3)$$

Où :

- S/N : rapport Signal/Bruit pour la ligne i ,
- nc : nombre de colonnes (profil d'essai),
- Y_{ij} : réponse pour la ligne i et la colonne j .

Les résultats de ces calculs donnent de nombreuses combinaisons robustes (correspondant à S/N plus grand, surligné en vert dans Table IV) et fournissent plus d'informations sur les combinaisons les moins robustes en raison du faible nombre de défaillances (correspondant à des S/N plus petits, surlignés en rouge dans Table IV). Une analyse de la variance (ANOVA) sur la moyenne et la variance de p_U (dans les colonnes "moyenne de p_{sup} " et "variance de p_{sup} " respectivement) peut fournir des informations supplémentaires sur l'impact des facteurs technologiques sur la défaillance.

L'ANOVA est un outil statistique souvent utilisé qui permet d'étudier l'impact des facteurs sur la réponse d'un point de vue statistique. Elle estime les effets des facteurs technologiques sur la réponse étudiée, ce qui permet de déterminer la valeur

229 théorique (valeur attendue) de la réponse. Cela fournit des informations sur la tendance de la réponse par rapport aux facteurs
 230 technologiques. Particulièrement, après l'analyse des résultats de calculs, on pourra remarquer, en regardant le code couleur au
 231 long des lignes dans Table (le dégradé de couleur rouge qui signifie le résultat non-souhaité), que les résistances miniatures
 232 ayant une valeur de résistance aussi élevée que 100 kΩ et fabricant 1 sont associés à une proportion élevée de défaillances et à
 233 une variance accrue.

234 Les valeurs théoriques de la moyenne et de l'écart-type sont calculées en suivant le modèle suivant :

$$235 \quad Y \sim = M + [E_{A1} E_{A2}][A] + [E_{B1} E_{B2}][B] + [E_{C1} E_{C2} E_{C3}][C] + [E_{D1} E_{D2} E_{D3} E_{D4}][D]$$

236 Où :

- 237 • M : la moyenne de la réponse à analyser (la moyenne des moyennes ou la moyenne des variance),
- 238 • $[E_{A1} E_{A2}]$: le vecteur des effets estimés des niveaux du facteur A,
- 239 • $[A]$: les niveaux du facteur A ($[A] = [1 \ 0]$ si le niveau de A est à « Thick », et $[A] = [0 \ 1]$ s'il est à « Thin »).

240 Les effets de chaque niveau de chaque facteur sont estimés à partir des réponses observées suivant le même modèle.

241 Table IV. RESULTATS DES CALCULS SUR LE PLAN PRODUIT.

Combinaison DOE	Matériau	Taille de boîtier	Valeur de résistance	Fabricant	limite supérieure de confiance unilatérale (p_sup)			S/N	Moyenne de p_sup	Variance de p_sup	Moyenne_theo	Ecart-type_theo
					TC1	TC2	EO1					
RUN N°33	Thick	0201	10Ω	1	0,14	0,14	0,14	25,96	0,14	0,000	0,17	0,07
Run N°34	Thick	0201	10KΩ	1	0,14	0,14	0,14	25,96	0,14	0,000	0,18	0,07
Run N°35	Thick	0201	100KΩ	1	0,14	0,14	0,42	20,41	0,24	0,017	0,19	0,09
Run N°36	Thick	0201	10Ω	2	0,14	0,14	0,14	25,96	0,14	0,000	0,13	0,03
Run N°37	Thick	0201	10KΩ	2	0,14	0,14	0,14	25,96	0,14	0,000	0,14	0,04
Run N°38	Thick	0201	100KΩ	2	0,14	0,14	0,14	25,96	0,14	0,000	0,15	0,05
Run N°39	Thick	0201	10Ω	3	0,14	0,14	0,14	25,96	0,14	0,000	0,14	0,03
Run N°40	Thick	0201	10KΩ	3	0,14	0,21	0,14	24,50	0,17	0,001	0,15	0,04
Run N°41	Thick	0201	100KΩ	3	0,14	0,14	0,14	25,96	0,14	0,000	0,16	0,05
RUN N°48	Thick	01005	10Ω	1	0,32	0,14	0,14	22,18	0,20	0,007	0,19	0,07
Run N°49	Thick	01005	10KΩ	1	0,21	0,14	0,21	23,41	0,19	0,001	0,19	0,07
Run N°50	Thick	01005	100KΩ	1	0,14	0,14	0,37	21,24	0,22	0,012	0,20	0,10
Run N°51	Thick	01005	100Ω	2	0,14	0,14	0,14	25,96	0,14	0,000	0,14	0,03
Run N°52	Thick	01005	10KΩ	2	0,14	0,14	0,14	25,96	0,14	0,000	0,15	0,04
Run N°53	Thick	01005	100KΩ	2	0,14	0,14	0,14	25,96	0,14	0,000	0,16	0,05
Run N°54	Thick	01005	10Ω	3	0,14	0,14	0,14	25,96	0,14	0,000	0,15	0,02
Run N°55	Thick	01005	10KΩ	3	0,21	0,14	0,21	23,41	0,19	0,001	0,16	0,03
Run N°56	Thick	01005	100KΩ	3	0,14	0,14	0,14	25,96	0,14	0,000	0,17	0,06
			1	S/N	-15,19	-15,54	-14,93	Moy	0,16	0,002		

243 Pour récapituler, les résultats de Table IV. permettent de faire les observations suivantes et les conclusions associées :

- 244 1. Suivant la ligne S/N, le facteur ALT qui maximise S/N donc qui permet de provoquer le plus grand nombre de
 245 défaillance correspond à EO => EO est le facteur ALT le plus discriminant parmi les trois facteurs de bruit.
- 246 2. Suivant la colonne S/N, la combinaison des facteurs contrôlables qui (inversement) minimisent le S/N sont les
 247 moins robustes => les chips résistifs miniatures « thick » les moins robustes aux facteurs bruits sont associés au
 248 fabricant 1 et aux valeurs de résistance relativement plus grandes.
- 249 3. Les moyennes et les variances théoriques de p_sup sont plus grandes pour les chips résistifs du fabricant 1 et
 250 surtout pour les grandes valeurs de résistance => le fabricant 1 et les grandes valeurs de résistances contribuent à
 251 la défaillance des chips résistifs miniatures « thick ».

252 L'ANOVA peut être facilement effectuée par le logiciel MATLAB sur la moyenne de p_sup comme réponse. Les résultats
 253 sont montrés dans Table V. où :

- 254 • Somme des carrés pour un facteur donné est la somme des carrés des écarts des réponses théoriques (liées à ce
 255 facteur) à la moyenne totale.
- 256 • Moyennes des carrés pour un facteur donné est la somme des carrés de ce facteur divisée par son degré de liberté.
- 257 • Résidus sont les écarts entre les réponses observées et les réponses théoriques.
- 258 • Total est les écarts entre les réponses observées et la moyenne totale.
- 259 • F est le rapport de la moyenne des carrés pour un facteur donné sur la moyenne des carrés des résidus.
- 260 • pValue est la probabilité que la statistique F, telle que calculée sous l'hypothèse nulle, puisse prendre une valeur
 261 supérieure à la valeur calculée de la statistique de test (dérivée de la distribution F).

On remarque que pValue en dessous de 0.05 correspond à celle du facteur Fabricant, ce qui signifie que ce facteur est le plus statistiquement significatif.

Table IV. RESULTATS D'ANOVA SUR LE LOGICIEL MATLAB (SUR LA MOYENNE DE P_SUP).

	Somme des carrés	Degrés de liberté	Moyennes des carrés	F	pValue
Matériau	0	0	0	0	NaN
Taille de boîtier	7.12×10^{-4}	1	7.12×10^{-4}	1.10	0.31
Valeur de résistance	10^{-3}	2	5.02×10^{-4}	0.78	0.48
Fabricant	6.90×10^{-3}	2	3.4×10^{-3}	5.35	0.02
Résidus	7.74×10^{-3}	12	6.45×10^{-4}	NaN	NaN
Total	1.64×10^{-2}	17	NaN	NaN	NaN

IV. CONCLUSION

Cet article présente une méthodologie de qualification des composants électroniques, en particulier des résistances à CMS pour les dispositifs médicaux implantables actifs (DMIA). La méthodologie consiste à définir le profil de mission de ce qui inclut l'exploration des diverses contraintes environnementales auxquelles les DMIA sont confrontés au cours de leur cycle de vie. Ensuite, il est important de comprendre la physique de la défaillance qui entre en jeu lorsque les contraintes environnementales sont appliquées aux composants électroniques. Cette compréhension peut être utilisée pour générer une analyse FMMEA. À partir de cette analyse, des essais de durée de vie accélérés peuvent être définis sur la base de principes statistiques tels que l'échantillonnage, dans le but de déterminer si la défaillance est plus susceptible de se produire en raison de défauts ou du vieillissement. L'analyse permet également d'identifier les facteurs technologiques associés à la défaillance. Ces facteurs peuvent être organisés dans un plan d'expériences produit afin d'analyser, grâce aux différentes méthodes statistiques, les effets de ces facteurs sur la défaillance et d'améliorer la compréhension de leur fiabilité. Finalement, l'analyse des résultats peut se faire grâce aux différentes méthodes, comme l'analyse de variance (ANOVA). Dans cet article, les analyses statistiques ont permis de démontrer que le test d'Electrical Overload est efficace pour détecter les défauts des chips résistifs et que le process de fabrication peut influencer la robustesse des chips résistifs miniatures face aux facteurs environnementaux.

REFERENCES

- [1] P. RENARD, 'De l'aéronautique au médical : une voie tracée par des exigences communes', DeviceMed.fr. Accessed: Nov. 08, 2018. [Online]. Available: https://www.devicemed.fr/dossiers/composants-oem/pompes_electrovannes/de-laeronautique-au-medical-une-voie-tracee-par-des-exigences-communes/17056
- [2] F.-E. Indmeskine, J. Bastid, S. Laurent, H. Marceau, C. Douard, and A. Kobi, 'État de l'art des contraintes et des procédés d'assemblage applicables aux composants électroniques pour application médicale et qualification de la fiabilité', presented at the Congrès Lambda Mu 23 « Innovations et maîtrise des risques pour un avenir durable » - 23e Congrès de Maîtrise des Risques et de Sûreté de Fonctionnement, Institut pour la Maîtrise des Risques, Oct. 2022. Accessed: Mar. 10, 2023. [Online]. Available: <https://hal.science/hal-03878309>
- [3] F.-E. Indmeskine, L. Saintis, A. Kobi, and M. Barreau, 'Predictive Reliability Modelling Based On Combination of DoE And ALT', *the 34-th European Safety and Reliability Conference (ESREL)*, Jagiellonian University, Cracow, Poland, 2024.
- [4] 'Handbook for Robustness Validation of Automotive Electrical/Electronic Modules', ZVEI - Zentralverband Elektrotechnik- und Elektronikindustrie e. V. (German Electrical and Electronic Manufacturers' Association) Electronic Components and Systems Division, 2013.
- [5] T. I. Băjenescu and M. I. Băzu, *Reliability of Electronic Components*. Berlin, Heidelberg: Springer Berlin Heidelberg, 1999. doi: 10.1007/978-3-642-58505-0.
- [6] W. Nelson, *Accelerated testing: statistical models, test plans and data analysis*. Hoboken, N.J: Wiley, 2004.
- [7] M. Pillet, *Les plans d'expérience par la méthode Taguchi*. Editions d'organisation, 1997.
- [8] *NIST/SEMATECH e-Handbook of Statistical Methods*. Accessed: May 27, 2022. [Online]. Available: <https://www.itl.nist.gov/div898/handbook/apr/section1/apr14.htm#LARTable>
- [9] D. C. Montgomery, *Design and analysis of experiments*, Eighth edition. Hoboken, NJ: John Wiley & Sons, Inc, 2013.
- [10] P. L. Martin, *Electronic failure analysis handbook: techniques and applications for electronic and electrical packages, components, and assemblies*. McGraw-Hill Education, 1999.
- [11] J. Brusse and L. Panashchenko, 'A Screening Method Using Pulsed-Power Combined with Infrared Imaging to Detect Pattern Defects in Bulk Metal Foil or Thin Film Resistors', No. GSFC-E-DAA-TN58702, 2018.
- [12] M. Schaldach, *Design and reliability considerations in implants*. doi: 10.1109/IEMBS.1988.94891.
- [13] R. W. Kuehl, 'Stability of thin film resistors – Prediction and differences base on time-dependent Arrhenius law', *Microelectronics Reliability*, vol. 49, no. 1, pp. 51–58, Jan. 2009, doi: 10.1016/j.microrel.2008.10.013.
- [14] M. Reid, M. N. Collins, E. Dalton, J. Punch, and D. A. Tanner, 'Testing method for measuring corrosion resistance of surface mount chip resistors', *Microelectronics Reliability*, vol. 52, no. 7, pp. 1420–1427, Jul. 2012, doi: 10.1016/j.microrel.2012.02.020.
- [15] A. Shrivastava, A. Amin, B. Sood, M. Azarian, M. Pecht, and M. Zagami, 'Thick Film Resistor Failures', presented at the ISTFA 2008, ASM International, Nov. 2008, pp. 59–64. doi: 10.31399/asm.cp.istfa2008p0059.

- 317 [16] T. I. Băjenescu, T.-M. I. Băjenescu, and M. I. Bâzu, *Component Reliability for Electronic Systems*. Artech House,
318 2010.
- 319 [17] M. Cole *et al.*, *HARSH ENVIRONMENT IMPACT ON RESISTOR RELIABILITY*, SMTAI. Orlando, FL, 2010.
- 320 [18] T. Rovensky, A. Pietrikova, I. Vehec, and L. Livovsky, 'Stability of miniaturized non-trimmed thick- and thin-film
321 resistors', *Microelectronics Reliability*, vol. 84, pp. 88–94, May 2018, doi: 10.1016/j.microrel.2018.03.011.
322